

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Tatsuya SATO et al.

Application No.: 10/617,810

Filed: July 14, 2003

Docket No.: 116580

For: IMAGE SENSOR FOR READING IMAGE AND IMAGE READING APPARATUS  
INCLUDING THE IMAGE SENSOR

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country(ies) is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-205455, filed July 15, 2002.

Japanese Patent Application No. 2002-210600, filed July 19, 2002.

In support of this claim, certified copies of said original foreign applications:

  X   are filed herewith.

           were filed on        in Parent Application No.        filed       .

           will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,



James A. Oliff  
Registration No. 27,075

Thomas J. Pardini  
Registration No. 30,411

JAO:TJP/rew

Date: August 15, 2003

**OLIFF & BERRIDGE, PLC**  
**P.O. Box 19928**  
**Alexandria, Virginia 22320**  
**Telephone: (703) 836-6400**

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年    7 月 1 5 日  
Date of Application:

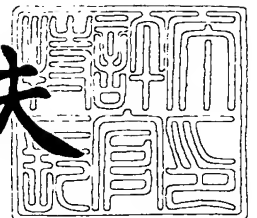
出 願 番 号            特 願 2 0 0 2 - 2 0 5 4 5 5  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 2 - 2 0 5 4 5 5 ]

出      願      人            ブラザー工業株式会社  
Applicant(s):

2 0 0 3 年    7 月 1 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



57R910

出証番号    出証特 2 0 0 3 - 3 0 5 6 9 6 6

【書類名】 特許願  
【整理番号】 2002031400  
【提出日】 平成14年 7月15日  
【あて先】 特許庁長官殿  
【国際特許分類】 H04N 1/028  
H01L 27/14

## 【発明者】

【住所又は居所】 名古屋市瑞穂区苗代町 1 5 番 1 号  
ブラザー工業株式会社内

【氏名】 加藤 哲也

## 【発明者】

【住所又は居所】 名古屋市瑞穂区苗代町 1 5 番 1 号  
ブラザー工業株式会社内

【氏名】 佐藤 龍也

## 【特許出願人】

【識別番号】 000005267

【氏名又は名称】 ブラザー工業株式会社

【代表者】 取締役社長 安井 義博

## 【代理人】

【識別番号】 100109195

## 【弁理士】

【氏名又は名称】 武藤 勝典

【電話番号】 052-824-2463

## 【選任した代理人】

【識別番号】 100110755

## 【弁理士】

【氏名又は名称】 田辺 政一

**【手数料の表示】****【予納台帳番号】** 109576**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0018483**【包括委任状番号】** 0100658**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 イメージセンサ及びそれを用いた画像読取装置

【特許請求の範囲】

【請求項 1】 主走査方向に配列され、被読取体からの反射光量に応じたアナログの読取画像信号を発生する複数の光電変換素子と、

該光電変換素子からの画像信号を読み出すために各光電変換素子に対応して設けられた複数のスイッチ素子とを有するイメージセンサにおいて、

前記複数の光電変換素子を、互いに隣り合う任意個数（N）ずつのものを 1 組として複数の組にブロック分けし、その各組に属する複数の光電変換素子からの画像信号を各組毎に同時に読み出すように、前記複数のスイッチ素子を外部からのクロック信号に基づき時間的に制御する制御部を備えたことを特徴とするイメージセンサ。

【請求項 2】 請求項 1 記載のイメージセンサにおいて、各組に属する光電変換素子の個数（N）と同じ本数の信号出力線が備えられており、その各信号出力線に対して各組に属する複数の各光電変換素子からの画像信号が並列的に出力されるように、各組に属する複数の各光電変換素子に対応した複数のスイッチ素子が互いに異なる信号出力線に接続されていることを特徴とするイメージセンサ。

【請求項 3】 請求項 2 記載のイメージセンサにおいて、前記各信号出力線には、前記各スイッチ素子を介して読み出された各光電変換素子からの画像信号を増幅するためのアナログアンプが夫々設けられていることを特徴とするイメージセンサ。

【請求項 4】 請求項 3 記載のイメージセンサにおいて、前記各アナログアンプの後段には、その各アナログアンプによって増幅された各光電変換素子からの画像信号を多重化するマルチプレクサが備えられていることを特徴とするイメージセンサ。

【請求項 5】 請求項 2 記載のイメージセンサにおいて、前記各信号出力線には、前記各スイッチ素子を介して読み出された各光電変換素子からの画像信号を多重化するマルチプレクサが備えられていることを特徴とするイメージセンサ。

【請求項 6】 請求項 5 記載のイメージセンサにおいて、前記マルチプレクサによって多重化された各光電変換素子からの画像信号を増幅するためのアナログアンプが設けられていることを特徴とするイメージセンサ。

【請求項 7】 請求項 4 または 5 記載のイメージセンサにおいて、前記マルチプレクサの前段には、前記各スイッチ素子を介して各信号出力線に読み出された各光電変換素子からの画像信号を一時保存するためのサンプルホールド回路が備えられていることを特徴とするイメージセンサ。

【請求項 8】 請求項 2 または 3 記載のイメージセンサを用いた画像読取装置において、前記イメージセンサの各信号出力線に接続され、その各信号出力線から出力される画像信号を多重化するためのマルチプレクサと、該マルチプレクサによって多重化された画像信号を、各光電変換素子から出力された画像信号毎にデジタル信号に変換するアナログ・デジタル変換器とが備えられていることを特徴とする画像読取装置。

【請求項 9】 請求項 2 または 3 記載のイメージセンサを用いた画像読取装置において、前記イメージセンサの各信号出力線に接続され、その各信号出力線から出力される画像信号をそれぞれ独立してデジタル信号に変換する複数のアナログ・デジタル変換器が備えられていることを特徴とする画像読取装置。

【請求項 10】 請求項 2 または 3 記載のイメージセンサを用いた画像読取装置において、前記イメージセンサの各信号出力線に接続され、前記各スイッチ素子を介して各信号出力線に読み出された各光電変換素子からの画像信号を一時保存するためのサンプルホールド回路と、そのサンプルホールド回路によって一時保存された画像信号を多重化するためのマルチプレクサと、該マルチプレクサによって多重化された画像信号を、各光電変換素子から出力された画像信号毎にデジタル信号に変換するアナログ・デジタル変換器とが備えられていることを特徴とする画像読取装置。

【請求項 11】 請求項 10 記載の画像読取装置において、前記サンプルホールド回路は、複数の信号出力線の内の 1 の信号出力線に対しては設けられておらず、前記マルチプレクサは、当該 1 の信号出力線に読み出された画像信号を前記アナログ・デジタル変換器に最初に供給するように構成されていることを特徴と

する画像読取装置。

【請求項 12】 請求項 2 または 3 記載のイメージセンサを用いた画像読取装置において、複数のチャネルを有し、その各チャネル毎に入力する複数のアナログ入力信号を増幅するためのアナログアンプと、該アナログアンプによって増幅されたアナログ信号を多重化するためのマルチプレクサと、該マルチプレクサによって多重化された各チャネル毎のアナログ信号をデジタル信号に変換するアナログ・デジタル変換器とを備えるアナログフロントエンド IC を備え、

前記イメージセンサの各信号出力線から出力される各光電変換素子からの画像信号を、前記アナログフロントエンド IC のアナログ入力信号として、前記各信号出力線に対応するチャネルの前記アナログアンプに入力する構成としたことを特徴とする画像読取装置。

【請求項 13】 請求項 12 記載の画像読取装置において、前記アナログフロントエンド IC には、前記アナログアンプの前段に、前記イメージセンサの各信号出力線から出力される各光電変換素子からの画像信号を一時保存するためのサンプルホールド回路が備えられていることを特徴とする画像読取装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、イメージセンサ、たとえば、原稿などの画像を読み取る密着型イメージセンサ（CIS）としてよく使用される MOS 型イメージセンサ及びそれを用いた画像読取装置に関するものである。

【0002】

【従来の技術】

従来、ファクシミリなどの画像読取装置に用いられるイメージセンサとしては、いわゆる CCD 型イメージセンサと、MOS 型イメージセンサとがあるが、このうち、密着型イメージセンサ（CIS）としては、MOS 型リニアイメージセンサが比較的によく用いられている。

【0003】

図 14 は、一般的な MOS 型リニアイメージセンサ 100 を示すもので、原稿

面からの反射光を電気信号に変換する複数の光電変換素子（ホトランジスタあるいはホトダイオード）101と、該光電変換素子101からアナログの読取画像信号を読み出すための複数のスイッチ素子（アナログスイッチ）102と、該スイッチ素子102を時間的に順次制御するための制御部（シフトレジスタ）103とをLSI化して1チップに構成されている。

#### 【0004】

#### 【発明が解決しようとする課題】

しかしながら、上記従来のイメージセンサにおいて、特に、高解像度の要求を満たすために、主走査方向に多数の光電変換素子を配列したイメージセンサにおいては、読取速度の高速化を進める上で、以下のような問題があった。

#### 【0005】

第1に、スイッチ素子102として、高速のスイッチング動作が可能なアナログスイッチが必要とされるとともに、光電変換素子からの読取画像信号を増幅するアナログアンプ104としても高速のものが要求される。

#### 【0006】

第2に、制御部103として、スイッチ素子102と同数のフリップフロップ回路からなるシフトレジスタが必要となるため、フリップフロップ回路が占める面積が大きくなり、センサチップ全体の大きさが大型化してしまう。

#### 【0007】

第3に、駆動クロック周波数が高くなると、クロック信号の高周波成分を除去することが困難となるために、EMI（Electromagnetic interference）ノイズが問題となる。

#### 【0008】

そこで、本発明は、上記問題点を解決するためになされたものであり、特に、クロック信号を高速にしなくとも、高速読取りが可能であって、スイッチ素子やアナログアンプとして高速動作が可能なものが要求されないし、フリップフロップ回路の数を減らしてシフトレジスタの占める面積を小さくすることにより小型化も可能であり、さらには、EMIノイズが発生する虞れも少ないイメージセンサ及びそれを用いた画像読取装置を提供することを目的とする。



## 【0009】

## 【課題を解決するための手段】

上記目的を達成するために、請求項1に記載のイメージセンサは、主走査方向に配列され、被読取体からの反射光量に応じたアナログの読取画像信号を発生する複数の光電変換素子と、該光電変換素子からの画像信号を読み出すために各光電変換素子に対応して設けられた複数のスイッチ素子とを有するイメージセンサにおいて、前記複数の光電変換素子を、互いに隣り合う任意個数(N)ずつのものを1組として複数の組にブロック分けし、その各組に属する複数の光電変換素子からの画像信号を各組毎に同時に読み出すように、前記複数のスイッチ素子を外部からのクロック信号に基づき時間的に制御する制御部を備えたことを特徴とする。

## 【0010】

この請求項1に係るイメージセンサでは、複数の光電変換素子を、互いに隣り合う任意個数(N)ずつのものを1組として複数の組にブロック分けし、その各組に属する複数の光電変換素子からの画像信号を各組毎に同時に読み出すように、制御部によって複数のスイッチ素子を外部からのクロック信号に基づき時間的に制御するようにしているので、従来のイメージセンサに対して、クロック信号の周波数を $1/N$ に低減することが可能となり、スイッチ素子として高速のスイッチング動作を行うものが必要とされないし、また、制御部を構成するシフトレジスタのフリップフロップ回路の個数も $1/N$ に減らすことができるので、その分、センサ全体の大きさを小さくすることが可能となる。さらに、低速のクロック信号で高速読取りが可能であるので、EMIノイズが発生する虞れも少ない。

## 【0011】

また、請求項2に記載のイメージセンサは、請求項1に記載のイメージセンサにおいて、各組に属する光電変換素子の個数(N)と同じ本数の信号出力線が備えられており、その各信号出力線に対して各組に属する複数の各光電変換素子からの画像信号が並列的に出力されるように、各組に属する複数の各光電変換素子に対応した複数のスイッチ素子が互いに異なる信号出力線に接続されているこ

とを特徴とする。

【 0 0 1 2 】

この請求項 2 に係るイメージセンサでは、イメージセンサの内部において、複数の光電変換素子からの読取画像信号が、各組に属する複数個の光電変換素子の個数（N）と同じ本数の信号出力線に出力されるので、イメージセンサから外部に信号を出力するための端子の数を極力少なくすることができ、後段のマルチプレクサやアナログ・デジタル変換器との電氣的な接続を簡易なものとすることができる。

【 0 0 1 3 】

また、請求項 3 に記載のイメージセンサは、請求項 2 記載のイメージセンサにおいて、各信号出力線には、各スイッチ素子を介して読み出された各光電変換素子からの画像信号を増幅するためのアナログアンプが夫々設けられていることを特徴とする。

【 0 0 1 4 】

この請求項 3 に係るイメージセンサでは、イメージセンサの内部において、画像信号を増幅するためのアナログアンプが各信号出力線に夫々設けられているので、各光電変換素子からの読取画像信号を十分なレベルを持ったアナログ信号として、イメージセンサ外部に出力させることができる。

【 0 0 1 5 】

また、請求項 4 に記載のイメージセンサは、請求項 3 記載のイメージセンサにおいて、各アナログアンプの後段には、その各アナログアンプによって増幅された各光電変換素子からの画像信号を多重化するマルチプレクサが備えられていることを特徴とする。

【 0 0 1 6 】

この請求項 4 に係るイメージセンサでは、イメージセンサの内部において、各光電変換素子からの画像信号が多重化され、複数個（N）の光電変換素子からの画像信号がシリアルデータ列としてイメージセンサ外部に出力させることができるので、イメージセンサから外部に信号を出力するための端子の数を最小限に抑えることができ、後段のアナログ・デジタル変換器との電氣的な接続を簡易なも

のとすることができる。

#### 【0017】

また、請求項5に記載のイメージセンサは、請求項2に記載のイメージセンサにおいて、各信号出力線には、各スイッチ素子を介して読み出された各光電変換素子からの画像信号を多重化するマルチプレクサが備えられていることを特徴とする。

#### 【0018】

この請求項5に係るイメージセンサでは、請求項4に係る発明と同様に、イメージセンサの内部において、各光電変換素子からの画像信号が多重化され、複数個(N)の光電変換素子からの画像信号がシリアルデータ列としてイメージセンサ外部に出力させることができるので、イメージセンサから外部に信号を出力するための端子の数を少なくすることができ、後段のアナログ・デジタル変換器との電氣的な接続を簡易なものとすることができる。

#### 【0019】

また、請求項6に記載のイメージセンサは、請求項5に記載のイメージセンサにおいて、マルチプレクサによって多重化された各光電変換素子からの画像信号を増幅するためのアナログアンプが設けられていることを特徴とする。

#### 【0020】

この請求項6に係るイメージセンサでは、イメージセンサの内部において、多重化された画像信号を増幅するためのアナログアンプが設けられているので、各光電変換素子からの読取画像信号を十分なレベルを持ったアナログ信号として、イメージセンサ外部に出力させることができるとともに、アナログアンプの個数を少なくすることができる。

#### 【0021】

また、請求項7に記載のイメージセンサは、請求項4または5に記載のイメージセンサにおいて、マルチプレクサの前段には、各スイッチ素子を介して各信号出力線に読み出された各光電変換素子からの画像信号を一時保存するためのサンプルホールド回路が備えられていることを特徴とする。

#### 【0022】

この請求項 7 に係るイメージセンサでは、各光電変換素子からの読取画像信号がサンプルホールド回路によって一時保存された後に、マルチプレクサによって多重化が行われ、イメージセンサ外部にシリアルデータ列として出力されるので、その後、各光電変換素子からの読取信号がアナログ・デジタル変換器によってデジタル信号に変換されるに際して、その変換動作に必要な時間を十分に与えることができる。従って、アナログ・デジタル変換器として必要以上に高速なものが要求されることがない。

#### 【0023】

また、請求項 8 に記載の画像読取装置は、請求項 2 または 3 記載のイメージセンサを用いた画像読取装置において、イメージセンサの各信号出力線に接続され、その各信号出力線から出力される画像信号を多重化するためのマルチプレクサと、該マルチプレクサによって多重化された画像信号を、各光電変換素子から出力された画像信号毎にデジタル信号に変換するアナログ・デジタル変換器とが備えられていることを特徴とする。

#### 【0024】

この請求項 8 に係る画像読取装置では、イメージセンサの外部に、イメージセンサの各信号出力線から出力される画像信号を多重化するためのマルチプレクサと、該マルチプレクサによって多重化された画像信号を、各光電変換素子から出力された画像信号毎にデジタル信号に変換するアナログ・デジタル変換器とが備えられているので、イメージセンサ内部にマルチプレクサを備えていないイメージセンサであっても、各光電変換素子から出力された複数の画像信号を 1 つのアナログ・デジタル変換器によってデジタル信号に変換することができる。

#### 【0025】

また、請求項 9 に記載の画像読取装置は、請求項 2 または 3 記載のイメージセンサを用いた画像読取装置において、イメージセンサの各信号出力線に接続され、その各信号出力線から出力される画像信号をそれぞれ独立してデジタル信号に変換する複数のアナログ・デジタル変換器が備えられていることを特徴とする。

#### 【0026】

この請求項 9 に係る画像読取装置では、イメージセンサの各信号出力線からか

ら出力される複数の画像信号を、複数のアナログ・デジタル変換器によってそれぞれ独立してデジタル信号に変換するようにしているので、比較低速のアナログ・デジタル変換器であっても、高速の読取動作を行うことが可能となる。

#### 【 0 0 2 7 】

また、請求項 1 0 に記載の画像読取装置は、請求項 2 または 3 記載のイメージセンサを用いた画像読取装置において、イメージセンサの各信号出力線に接続され、各スイッチ素子を介して各信号出力線に読み出された各光電変換素子からの画像信号を一時保存するためのサンプルホールド回路と、そのサンプルホールド回路によって一時保存された画像信号を多重化するためのマルチプレクサと、該マルチプレクサによって多重化された画像信号を、各光電変換素子から出力された画像信号毎にデジタル信号に変換するアナログ・デジタル変換器とが備えられていることを特徴とする。

#### 【 0 0 2 8 】

この請求項 1 0 に係る画像読取装置では、イメージセンサ内部にサンプルホールド回路やマルチプレクサを備えていないイメージセンサであっても、その各信号出力線から出力される複数の読取画像信号がサンプルホールド回路によって一時保存された後に、マルチプレクサによって多重化が行われ、イメージセンサ外部にシリアルデータ列として出力されるので、その後、各光電変換素子からの読取信号がアナログ・デジタル変換器によってデジタル信号に変換されるに際して、その変換動作に必要な時間を十分に与えることができる。従って、アナログ・デジタル変換器として必要以上に高速なものが要求されることがない。

#### 【 0 0 2 9 】

また、請求項 1 1 に記載の画像読取装置は、請求項 1 0 記載の画像読取装置において、サンプルホールド回路は、複数の信号出力線の内の 1 の信号出力線に対しては設けられておらず、マルチプレクサは、当該 1 の信号出力線に読み出された画像信号をアナログ・デジタル変換器に最初に供給するように構成されていることを特徴とする画像読取装置。

#### 【 0 0 3 0 】

この請求項 1 1 に係る画像読取装置では、複数の信号出力線の内の 1 の信号出

力線に読み出された画像信号に対してはサンプルホールド回路によって一度保存されることなく、他の信号出力線に読み出された画像信号がサンプルホールド回路によって一時保存されるタイミングで、マルチプレクサによってアナログ・デジタル変換器に供給されるので、当該 1 の信号出力線に読み出された画像信号を一時保存しなくとも、アナログ・デジタル変換動作を的確に実行させることができる。従って、1 の信号出力線に対してはサンプルホールド回路が不要となるため、その分、コストダウンが可能となる。

#### 【 0 0 3 1 】

また、請求項 1 2 に記載の画像読取装置は、請求項 2 または 3 記載のイメージセンサを用いた画像読取装置において、複数のチャンネルを有し、その各チャンネル毎に入力する複数のアナログ入力信号を増幅するためのアナログアンプと、該アナログアンプによって増幅されたアナログ信号を多重化するためのマルチプレクサと、該マルチプレクサによって多重化された各チャンネル毎のアナログ信号をデジタル信号に変換するアナログ・デジタル変換器とを備えるアナログフロントエンド I C を備え、

前記イメージセンサの各信号出力線から出力される各光電変換素子からの画像信号を、前記アナログフロントエンド I C のアナログ入力信号として、前記各信号出力線に対応するチャンネルの前記アナログアンプに入力する構成としたことを特徴とする。

#### 【 0 0 3 2 】

この請求項 1 2 に係る画像読取装置では、イメージセンサ内部にサンプルホールド回路やマルチプレクサを備えていないイメージセンサであっても、上記構成からなるアナログフロントエンド I C を用いることによって、イメージセンサの各信号出力線から出力される複数の読取画像信号を、各画素信号毎にデジタル信号に変換することができるので、その一連の回路構成を極めて簡略化することができる。

#### 【 0 0 3 3 】

また、請求項 1 3 に記載の画像読取装置は、請求項 1 2 記載の画像読取装置において、アナログフロントエンド I C には、アナログアンプの前段に、イメージ

センサの各信号出力線から出力される各光電変換素子からの画像信号を一時保存するためのサンプルホールド回路が備えられていることを特徴とする。

#### 【0034】

この請求項13に係る画像読取装置では、イメージセンサの各信号出力線から出力される複数の読取画像信号が、アナログフロントエンドICの内部に設けられたサンプルホールド回路によって一時保存された後に、マルチプレクサによって多重化が行われ、その後、アナログ・デジタル変換器によってデジタル信号に変換されるので、その変換動作に必要な時間を十分に与えることができ、より高速な読取動作が可能となる。

#### 【0035】

##### 【発明の実施の形態】

以下、本発明に係るイメージセンサ及びそれを用いた画像読取装置について、本発明を具体化した実施形態に基づき図面を参照しつつ詳細に説明する。

#### 【0036】

先ず、第1の実施形態について、図1～図4に基づき説明する。

#### 【0037】

図1は、第1の実施形態におけるMOS型リニアイメージセンサ10の概略構成を示すもので、たとえば、ファクシミリなどの原稿読取装置において、密着型イメージセンサ(CIS)として使用される。

#### 【0038】

図1において、イメージセンサ(CIS)10は、原稿からの反射光量に応じてアナログの読取画像信号が発生する光電変換素子としての多数のホトトランジスタP1～Pnと、その各ホトトランジスタP1～Pnに接続されたスイッチ素子としての多数のアナログスイッチSW1～SWnとが備えられ、主走査方向に多数のホトトランジスタP1～Pnが配列されて、いわゆるリニアイメージセンサとして構成されている点は、図14に示される従来のもと同様であるが、多数のホトトランジスタP1～Pnを、互いに隣り合う任意個数(N)ずつのものを1組として複数の組にブロック分けし、その各組に属する複数個(N)のホトトランジスタの画像信号が同時に読み出されるように、その各ホトトランジスタ

に接続されたアナログスイッチが同時にオン動作するように構成されている点が異なっている。

#### 【0039】

すなわち、主走査方向に1728個のホトランジスタが配列されたイメージセンサにおいては、互いに隣り合う3個( $N=3$ )のホトランジスタを1組として、計576個の組にブロック分けし、その各組に属する3個のホトランジスタ( $P1 \sim P3$ ,  $P4 \sim P6$ ,  $\dots$ ,  $P1726 \sim P1728$ )の画像信号が同時に読み出されるように、その各ホトランジスタに接続された3個のアナログスイッチ( $SW1 \sim SW3$ ,  $SW4 \sim SW6$ ,  $\dots$ ,  $SW1726 \sim SW1728$ )が同時にオン動作するように構成されている。

#### 【0040】

一方、各アナログスイッチ $SW1 \sim SWn$ を外部からのクロック信号に基づいて時間的に制御するためのシフトレジスタ(制御部)11は、従来のものと同様に、複数のフリップフロップ回路によって構成されるが、本実施形態では、ブロック分けした計576個の組に対応して、これと同数の計576個のフリップフロップ回路により構成されている。

#### 【0041】

シフトレジスタ11を構成する計576個のフリップフロップ回路の各々の出力は、計576個の組の各アナログスイッチ $SW1 \sim SWn$ に対して、各組に属する3個のアナログスイッチ( $SW1 \sim SW3$ ,  $SW4 \sim SW6$ ,  $\dots$ ,  $SW1726 \sim SW1728$ )が同時にオン動作するように、各組毎で共通に接続されている。

#### 【0042】

これにより、シフトレジスタ11は、スタートパルス $SP$ が供給された後、外部から与えられるクロック信号 $CLK$ に基づいて、各フリップフロップ回路の出力端子から制御信号 $Sa1$ 、 $Sa2 \dots$ が順次出力され、たとえば、制御信号 $Sa1$ が出力された時点で、1番目の組に属する3個のアナログスイッチ( $SW1 \sim SW3$ )が同時にオン動作し、次いで、制御信号 $Sa2$ が出力された時点で、2番目の組に属する3個のアナログスイッチ( $SW4 \sim SW6$ )が同時にオン



動作し、そして、3番目の組、4番目の組といったように順次進行して、最後に、制御信号 S a 5 7 6 が出力された時点で、5 7 6 番目の組に属する3個のアナログスイッチ (SW 1 7 2 6 ~ SW 1 7 2 8) が同時にオン動作する。

#### 【0043】

そして、本実施形態のイメージセンサ 10 には、ブロック分けした各組に属するホトトランジスタ P (アナログスイッチ SW) の数と同数、すなわち、3本の信号出力線 L 1 ~ L 3 が備えられており、その各信号出力線 L 1 ~ L 3 に対して、各組に属する複数個 (3 個) のホトトランジスタ P からの画像信号が並列的に出力されるように、各組に属する複数個のホトトランジスタ P に接続された複数個のアナログスイッチ SW が互いに異なる信号出力線 L 1 ~ L 3 に接続されており、たとえば、各組の第 1 のアナログスイッチ (SW 1, SW 4, . . . ., SW 1 7 2 6) は、第 1 の信号出力線 L 1 に接続され、各組の第 2 のアナログスイッチ (SW 2, SW 5, . . . ., SW 1 7 2 7) は、第 2 の信号出力線 L 2 に接続され、各組の第 3 のアナログスイッチ (SW 3, SW 6, . . . ., SW 1 7 2 8) は、第 3 の信号出力線 L 3 に接続されている。

#### 【0044】

また、複数本 (3 本) の信号出力線 L 1 ~ L 3 には、各アナログスイッチ SW 1 ~ SW n を介して読み出された各ホトトランジスタ P 1 ~ P n からの画像信号を増幅するためのアナログアンプ AMP 1 ~ AMP 3 が夫々設けられており、その各信号出力線 L 1 ~ L 3 に対して 1 対 1 の関係で設けられた 3 個の出力端子 OUT 1 ~ OUT 3 から、3 チャンネルの出力信号 CH 1 ~ CH 3 として、各読取信号がイメージセンサ外部に出力されるようになっている。

#### 【0045】

なお、図 2 は、本実施形態におけるホトトランジスタ P 及びアナログスイッチ SW の構成をより詳細に示すものであり、計 1 7 2 8 個のホトトランジスタ P 1 ~ P n とアナログスイッチ SW 1 ~ SW n、計 5 7 6 個のフリップフロップ回路からなるシフトレジスタ 11、そして、計 3 個のアナログアンプ AMP 1 ~ AMP 3 の全てが、1 個の半導体材料に形成されている。すなわち、1 チップに L S I 化されて、単一のイメージセンサ 10 として構成されている。

**【0046】**

図3は、上記構成からなるイメージセンサ10を用いた画像読取装置の一例を示すもので、ここでは、イメージセンサの3個の出力端子OUT1～OUT3から、3チャンネルの出力信号CH1～CH3として出力されるアナログの各読取信号を、マルチプレクサ20によって多重化（シリアルデータ列に変換）することにより、順次アナログ・デジタル変換器30に供給して、各読取信号をデジタル信号に変換するように構成されている。

**【0047】**

イメージセンサ10および画像読取装置を統括的に制御する制御回路60は、ASIC（Application-specific Integrated-circuit）からなり、本実施形態では、CPUコアの統括的な制御の下に、イメージセンサ10のシフトレジスタ11に対してスタートパルスSPおよびクロック信号CLK等を供給するCIS制御ブロック61、マルチプレクサ20とアナログ・デジタル変換器30とによって構成されるアナログフロントエンド回路に対して、マルチプレクサ用の選択信号、すなわち、イメージセンサ10から出力される3チャンネルの出力信号CH1～CH3の内のいずれの信号を、アナログ・デジタル変換器30に入力させるかを選択するための選択信号SEL1、SEL2と、アナログ・デジタル変換用のクロック信号、すなわち、アナログ・デジタル変換のタイミングを決定するクロック信号A/D・CLKを供給するアナログフロントエンド制御ブロック62、アナログ・デジタル変換器30から出力されたデジタル信号をサンプリングして、画像メモリ（RAM）の所定領域に順次書き込むメモリ制御ブロック63などが設けられている。

**【0048】**

なお、クロック信号CLK、選択信号SEL1、SEL2、アナログ・デジタル変換用のクロック信号A/D・CLKなどは、図4に示されるようなタイミングをもって出力されるようになっている。

**【0049】**

次に、上記構成からなるイメージセンサ10を用いた画像読取装置の動作について、図4に示されるタイミングチャートを参照しながら説明する。

**【0050】**

先ず、各ホトトランジスタ P1～Pn に対応する受光素子が反射光を受光すると、原稿（被読取体）からの反射光量に応じてホトトランジスタ P1～Pn に電荷が蓄積される。

**【0051】**

イメージセンサ 10 に供給されるクロック信号 CLK に基づいて、シフトレジスタ 11 から制御信号 Sa1 が出力されると、1 番目の組（第 1 の組）に属するホトトランジスタ P1～P3 に接続された 3 個のアナログスイッチ SW1～SW3 が同時にオン動作し、各ホトトランジスタ P1～P3 に蓄積された電荷が、アナログの画像読取信号として出力信号線 L1～L3 に読み出され、アナログアンプ AMP1～AMP3 によって十分に増幅された後、出力端子 OUT1～OUT3 から 3 チャンネルの出力信号 CH1～CH3 として出力される。

**【0052】**

そして、各チャンネルの出力信号 CH1～CH3 のレベルが安定した時点で、マルチプレクサ 20 の選択信号 SEL1, SEL2 として、第 1 のチャンネル出力信号 CH1 を選択する信号（SEL1, SEL2 がともに「H」レベル）が入力されると、第 1 のチャンネル出力信号 CH1、すなわち、1 番目の組の第 1 のホトトランジスタ P1 からの読取信号（1 画素目の画像信号）がアナログ・デジタル変換器 30 に供給され、アナログ・デジタル変換のためのクロック信号 A/D・CLK に同期して、所定ビット数のデジタルコードからなるデジタル信号 D1 として出力される。

**【0053】**

続いて、マルチプレクサ 20 の選択信号 SEL1, SEL2 として、第 2 のチャンネル出力信号 CH2 を選択する信号（SEL1 が「H」レベルで、SEL2 が「L」レベル）が入力されると、第 2 のチャンネル出力信号 CH2、すなわち、1 番目の組の第 2 のホトトランジスタ P2 からの読取信号（2 画素目の画像信号）がアナログ・デジタル変換器 30 に供給され、アナログ・デジタル変換のためのクロック信号 A/D・CLK に同期して、所定ビット数のデジタルコードからなるデジタル信号 D2 として出力される。

**【0054】**

さらに、続いて、マルチプレクサ20の選択信号SEL1, SEL2として、第3のチャンネル出力信号CH3を選択する信号（SEL1が「L」レベルで、SEL2が「H」レベル）が入力されると、第3のチャンネル出力信号CH3、すなわち、1番目の組の第3のホトトランジスタP3からの読取信号（3画素目の画像信号）がアナログ・デジタル変換器30に供給され、アナログ・デジタル変換のためのクロック信号A/D・CLKに同期して、所定ビット数のデジタルコードからなるデジタル信号D3として出力される。

**【0055】**

次に、イメージセンサ10に供給されるクロック信号CLKに基づいて、シフトレジスタ11から制御信号Sa2が出力されると、2番目の組（第2の組）に属するホトトランジスタP4～P6に接続された3個のアナログスイッチSW4～SW6が同時にオン動作し、各ホトトランジスタP4～P6に蓄積された電荷が、アナログの画像読取信号として出力信号線L1～L3に読み出され、アナログアンプAMP1～AMP3によって十分に増幅された後、出力端子OUT1～OUT3から3チャンネルの出力信号CH1～CH3として出力される。

**【0056】**

そして、各チャンネルの出力信号CH1～CH3のレベルが安定した時点で、マルチプレクサ20の選択信号SEL1, SEL2として、第1のチャンネル出力信号CH1を選択する信号（SEL1, SEL2がともに「H」レベル）が入力されると、第1のチャンネル出力信号CH1、すなわち、今度は、2番目の組の第1のホトトランジスタP4からの読取信号（4画素目の画像信号）がアナログ・デジタル変換器30に供給され、アナログ・デジタル変換用のクロック信号A/D・CLKに同期して、所定ビット数のデジタルコードからなるデジタル信号D4として出力される。

**【0057】**

続いて、マルチプレクサ20の選択信号SEL1, SEL2として、第2のチャンネル出力信号CH2を選択する信号（SEL1が「H」レベルで、SEL2が「L」レベル）が入力されると、第2のチャンネル出力信号CH2、すなわち

、2番目の組の第2のホトランジスタP5からの読取信号（5画素目の画像信号）がアナログ・デジタル変換器30に供給され、アナログ・デジタル変換のためのクロック信号A/D・CLKに同期して、所定ビット数のデジタルコードからなるデジタル信号D5として出力される。

#### 【0058】

さらに、続いて、マルチプレクサ20の選択信号SEL1, SEL2として、第3のチャンネル出力信号CH3を選択する信号（SEL1が「L」レベルで、SEL2が「H」レベル）が入力されると、第3のチャンネル出力信号CH3、すなわち、2番目の組の第3のホトランジスタP6からの読取信号（6画素目の画像信号）がアナログ・デジタル変換器30に供給され、アナログ・デジタル変換のためのクロック信号A/D・CLKに同期して、所定ビット数のデジタルコードからなるデジタル信号D6として出力される。

#### 【0059】

以下、同様にして、イメージセンサ10にクロック信号CLKが供給される毎に、シフトレジスタ11から出力される制御信号Saが順次シフトし、各組に属するホトランジスタPに接続された3個のアナログスイッチSWが同時にオン動作して、3画素分の画像信号が並列的に読み出され、マルチプレクサ20およびアナログ・デジタル変換器30を介して、所定ビット数のデジタルコードからなるデジタル信号Dとして出力される。

#### 【0060】

従って、アナログ・デジタル変換器30から順次出力される所定ビット数のデジタルコードからなるデジタル信号Dを、メモリ書込み制御ブロック63を介して、画像メモリ（RAM）の所定領域に順次書き込むことによって、読取画像データを主走査方向の配列順に蓄積することができる。

#### 【0061】

上記した実施形態によれば、図14に示される従来例のものに比べて、クロック信号CLKの周波数を1/3に低減することが可能となり、アナログスイッチSWとして高速のスイッチング動作を行うものが必要とされず、アナログアンプAMPとしても低速のもので充分であるし、また、シフトレジスタ11のフリッ

プフロップ回路の個数も 1/3 に減らすことができるので、その分、センサ全体の大きさを小さくすることが可能となる。さらに、低速のクロック信号 CLK で高速読取りが可能であるので、EMI ノイズが発生する虞れも少ない。

#### 【0062】

これによって、高解像度の要求に応えるために、多数のホトトランジスタ（ホトダイオードであってもよい）を主走査方向に多数配列したイメージセンサであっても、たとえば、マルチプレクサ 20 とアナログ・デジタル変換器 30 にのみ高速対応のものを用意すれば、高速の読取動作が可能となる。

#### 【0063】

図 5 および図 6 は、本発明の第 2 の実施形態を示すものであり、上記した第 1 の実施形態における画像読取装置に対して、イメージセンサ 10 の 3 チャンネル出力信号 CH1 ~ CH3 をそのままマルチプレクサ 20 に出力させるのではなく、3 チャンネル出力信号 CH1 ~ CH3 を一時保存するサンプルホールド回路 50 を備えて、そのサンプルホールド回路 50 によって一時保存した信号をマルチプレクサ 20 に供給するようにしたものである。

#### 【0064】

すなわち、図 6 に示されるように、イメージセンサ 10 の 3 チャンネル出力信号 CH1 ~ CH3 が所定の出力レベルに安定するまでに多少時間が掛かる場合であっても、出力レベルが安定した頃に、アナログフロントエンド制御ブロック 62 から供給されるサンプルホールド用のクロック信号 S/H・CLK に基づいて 3 チャンネル出力信号 CH1 ~ CH3 を一時保存する。

#### 【0065】

そうした状態で、マルチプレクサ 20 の選択信号 SEL1, SEL2 として、第 1 のチャンネル出力信号 CH1 を選択する信号（SEL1, SEL2 がともに「H」レベル）、第 2 のチャンネル出力信号 CH2 を選択する信号（SEL1 が「H」レベルで、SEL2 が「L」レベル）、第 3 のチャンネル出力信号 CH3 を選択する信号（SEL1 が「L」レベルで、SEL2 が「H」レベル）が入力されると、第 1 のチャンネル出力信号 CH1 が選択された時点では、サンプルホールド回路 50 によって一時保存されている第 1 のチャンネル出力信号 CH1 が

、アナログ・デジタル変換器 30 によってアナログ・デジタル変換され、第 2 のチャンネル出力信号 CH 2 が選択された時点では、サンプルホールド回路 50 によって一時保存されている第 2 のチャンネル出力信号 CH 2 が、アナログ・デジタル変換器 30 によってアナログ・デジタル変換され、第 3 のチャンネル出力信号 CH 3 が選択された時点では、サンプルホールド回路 50 によって一時保存されている第 3 のチャンネル出力信号 CH 3 が、アナログ・デジタル変換器 30 によってアナログ・デジタル変換される。

#### 【0066】

従って、この第 2 の実施形態によれば、サンプルホールドのためのクロック信号 S/H・CLK が供給される周期間隔、言い換えれば、シフトレジスタ 11 に供給されるクロック信号 CLK の周期間隔をフルに利用して、チャンネル出力信号 CH 1 ～ CH 3 をアナログ・デジタル変換すればよいので、上記第 1 の実施形態に比べて、マルチプレクサ 20 およびアナログ・デジタル変換器 30 として高速なものが必要とされない効果がある。

#### 【0067】

なお、この第 2 の実施形態におけるサンプルホールド回路 50 は、必ずしも、3 つのチャンネル出力信号 CH 1 ～ CH 3 の全てを一時保存するようになる必要はなく、たとえば、図 7 に示される第 3 の実施形態のように、第 2 のチャンネル出力信号 CH 2 と、第 3 のチャンネル出力信号 CH 3 とを一時保存するサンプルホールド回路 50 a を備えても、第 2 の実施形態と同様の効果を期待できる。

#### 【0068】

図 8 は、第 4 の実施形態を示すもので、上記第 1 乃至第 3 の実施形態におけるマルチプレクサ 20 およびアナログ・デジタル変換器 30 等を個別の電子部品として構成するのではなく、イメージセンサ処理システム用のアナログフロントエンド IC (Integrated Circuit)、すなわち、広範囲な各種 MOS 型イメージセンサあるいは CCD 型イメージセンサの出力をデジタル化するために必要な全てのアナログおよび混合信号機能、たとえば、相関二重サンプリング (CDS) 機能、ゲイン／オフセット補正機能、アナログ・デジタル変換機能を備えた IC によって画像読取装置を構成したものである。

**【0069】**

図8に示されるアナログフロントエンドIC40は、既に市販されているアナログフロントエンドICと同様の構成からなるものであって、相関二重サンプリング回路41a～41cと、オフセット調整回路42a～42cと、プログラマブルゲインアンプ43a～43cと、マルチプレクサ44と、アナログ・デジタル変換器45と、インターフェイス46と、レジスタ部47とを備えている。

**【0070】**

なお、一般に、この種のアナログフロントエンドIC40は、RGB3出力のカラーイメージセンサに対応するように、3つのチャネルを備えており、上記相関二重サンプリング回路41a～41cと、オフセット調整回路42a～42cと、プログラマブルゲインアンプ43a～43cは、各チャネル毎に備えられている。

**【0071】**

相関二重サンプリング回路41a～41cは、CCD型イメージセンサから出力された画素信号からノイズや誤差の発生源となる成分等を除去するために設けられており、周知のように、CCD型イメージセンサから出力される画素信号を時間をずらして二度サンプリングすることによって、シフトレジスタ(CCD)のクロックが「L」から「H」に切り替わるときに、電荷のチャージが原因で発生する誤差電圧を除去するものであるが、MOS型イメージセンサ10に用いられるときには、相関二重サンプリング機能が機能しないように設定(CDSオフモード設定)され、MOS型イメージセンサ10から出力された画素信号を、各チャネル毎に一時保存するサンプルホールド回路としての機能のみが実行される。

**【0072】**

オフセット調整回路42a～42cは、各チャネル毎に、デジタル・アナログ変換器DACと加算器ADDとを備えており、各チャネルの入力信号に対してオフセット電圧を加える構成となっている。すなわち、レジスタ部47が備えるオフセットレジスタOFF・REGには、オフセット調整回路42a～42cにより加えられるオフセット電圧を表すオフセット設定値が、チャネル毎に記憶され



るようになっており、各チャネルのオフセット調整回路 42a～42c は、オフセットレジスタ OFF・REG に記憶されている各自のオフセット設定値に対応するオフセット電圧を、相関二重サンプリング回路 41a～41c から伝送されてきた画像信号に加えて、そのオフセット電圧印加後の画像信号を、対応するチャネルのプログラマブルゲインアンプ 43a～43c に供給する。

#### 【0073】

プログラマブルゲインアンプ 43a～43c は、入力信号に対しての利得を調整可能な周知のアナログアンプであり、レジスタ部 47 が備えるゲインレジスタ GAIN・REG に記憶されているチャネル毎の利得設定値に従った利得で、対応チャネルの画像信号を増幅し、増幅後の画像信号をマルチプレクサ 44 に供給する。

#### 【0074】

マルチプレクサ 44 およびアナログ・デジタル変換器 45 は、上記第 1～第 3 の実施形態におけるマルチプレクサ 20 およびアナログ・デジタル変換器 30 と同様に機能するものであって、マルチプレクサ 44 は、3 つのプログラマブルゲインアンプ 43a～43c から入力する画像信号のいずれかを選択して出力するためのものであり、各プログラマブルゲインアンプ 43a～43c により増幅された画像信号を順次アナログ・デジタル変換器 45 に入力するように構成されており、アナログ・デジタル変換器 45 は、マルチプレクサ 44 から出力された画像信号を、所定ビット数のデジタルコードからなるデジタル信号に変換して出力する。

#### 【0075】

なお、インターフェイス 46 は、制御回路 60 のアナログフロントエンド制御ブロック 62 を介してレジスタ部 47 に各種データを書き込むためのものであって、たとえば、本スキャンに先立って行われるプレスキャン時のキャリブレーション動作によって求められた最適なオフセット設定値や利得設定値が、レジスタ部 47 の各チャネルに対応した記憶部に書き込まれるようになっている。

#### 【0076】

このような構成からなる第 4 の実施形態によれば、汎用的なアナログフロント

エンド IC を用いることによって、イメージセンサ 10 の各信号出力線から出力される 3 チャンネルの読取画像信号を、各画素信号毎にデジタル信号に変換することができるので、上記第 1 ～ 第 3 の実施形態のものに比べ、一連の回路構成を極めて簡略化することができる。

#### 【0077】

しかも、アナログフロントエンド IC の持つオフセット調整機能やゲイン調整機能を利用して、各チャンネル間のばらつきを容易かつ的確に補正することも可能であり、さらには、サンプルホールドのための特別の回路を別途用意する必要もないので、その回路接続のための配線も不要となるし、外来ノイズの影響も抑制することができる。

#### 【0078】

ところで、上記実施形態における構成は、これに限らず、たとえば、図 9 に第 5 の実施形態として示すように、イメージセンサ 10 の内部に、上記マルチプレクサ 20 と同様の機能をなすマルチプレクサ回路 20 a を内蔵するようにしてもよい。さらに、図示はしていないが、サンプルホールド回路 50、50 a と同様の機能をなすサンプルホールド回路を内蔵することも可能である。

#### 【0079】

しかも、マルチプレクサ回路 20 a をイメージセンサ 10 の内部に内蔵するようにした場合には、図 10 に第 6 の実施形態として示す如く、マルチプレクサ回路 20 a の後段に 1 個のアナログアンプ AMP を設けるようにすることも可能であり、コスト的に非常に有利なものとなる。

#### 【0080】

また、上記実施形態では、3 チャンネルの信号出力をマルチプレクサ 20 にて多重化することにより、1 個のアナログ・デジタル変換器 30 によってデジタル信号に変換するようにしたものであるが、図 11 に第 7 の実施形態として示すように、3 つのチャンネル出力信号 CH1 ～ CH3 に対応して、各チャンネル専用のアナログ・デジタル変換器 30 a ～ 30 c を設けるようにしてもよい。

#### 【0081】

このような構成であれば、高速の読取動作が要求される場合であっても、アナ

ログ・デジタル変換器 30 として超高速のものが要求されることはないし、また、高速対応のマルチプレクサ 20 も必要がないという利点がある。

#### 【0082】

以上、本発明を具体化したいくつかの実施形態について説明したが、本発明のイメージセンサおよびそれを用いた画像読取装置は、上記実施形態に限定されるものではなく、種々の形態をとることが可能であり、たとえば、イメージセンサ 10 の受光素子部を構成する光電変換素子としては、図 2 に示すホトトランジスタに限らず、たとえば、図 12 にその他の実施形態として示すように、ホトダイオードを光電変換素子として用いてもよいし、また、その他の光電変換素子であっても何等差し支えない。

#### 【0083】

また、イメージセンサ 10 が密着型イメージセンサ (CIS) として構成される場合、読取原稿の主走査方向の幅が大きくなると、それに応じてイメージセンサも主走査方向に非常に長いものが必要となるが、これを 1 つの半導体材料に形成して、1 チップに LSI 化して構成することは困難である。

#### 【0084】

しかしながら、図 13 にその他の異なる実施形態として示すように、複数のイメージセンサ 10 を主走査方向に並べて、その各イメージセンサ 10 に内蔵されたシフトレジスタ 11 の最終段のフリップフロップ回路の出力を、隣接するイメージセンサ 10 のスタートパルス SP として供給するようにすれば、何等問題なく対処することができる。

#### 【図面の簡単な説明】

##### 【図 1】

本発明を具体化した第 1 の実施形態を示すイメージセンサの回路構成図である。

##### 【図 2】

イメージセンサの一部の回路構成をより詳細に示す図である。

##### 【図 3】

イメージセンサを用いた画像読取装置の構成を示す概略ブロック図である。

**【図 4】**

画像読取装置の各部の動作を説明するためのタイミングチャートである。

**【図 5】**

第 2 の実施形態における画像読取装置の構成を示す概略ブロック図である。

**【図 6】**

第 2 の実施形態における画像読取装置の各部の動作を説明するためのタイミングチャートである。

**【図 7】**

第 3 の実施形態における画像読取装置の構成を示す概略ブロック図である。

**【図 8】**

第 4 の実施形態における画像読取装置の構成を示す概略ブロック図である。

**【図 9】**

第 5 の実施形態を示すイメージセンサの回路構成図である。

**【図 1 0】**

第 6 の実施形態を示すイメージセンサの回路構成図である。

**【図 1 1】**

第 7 の実施形態における画像読取装置の構成を示す概略ブロック図である。

**【図 1 2】**

イメージセンサの他の実施形態を示す一部の回路構成図である。

**【図 1 3】**

画像読取装置の異なる実施形態を示す図である。

**【図 1 4】**

従来のイメージセンサの回路構成を示す図である。

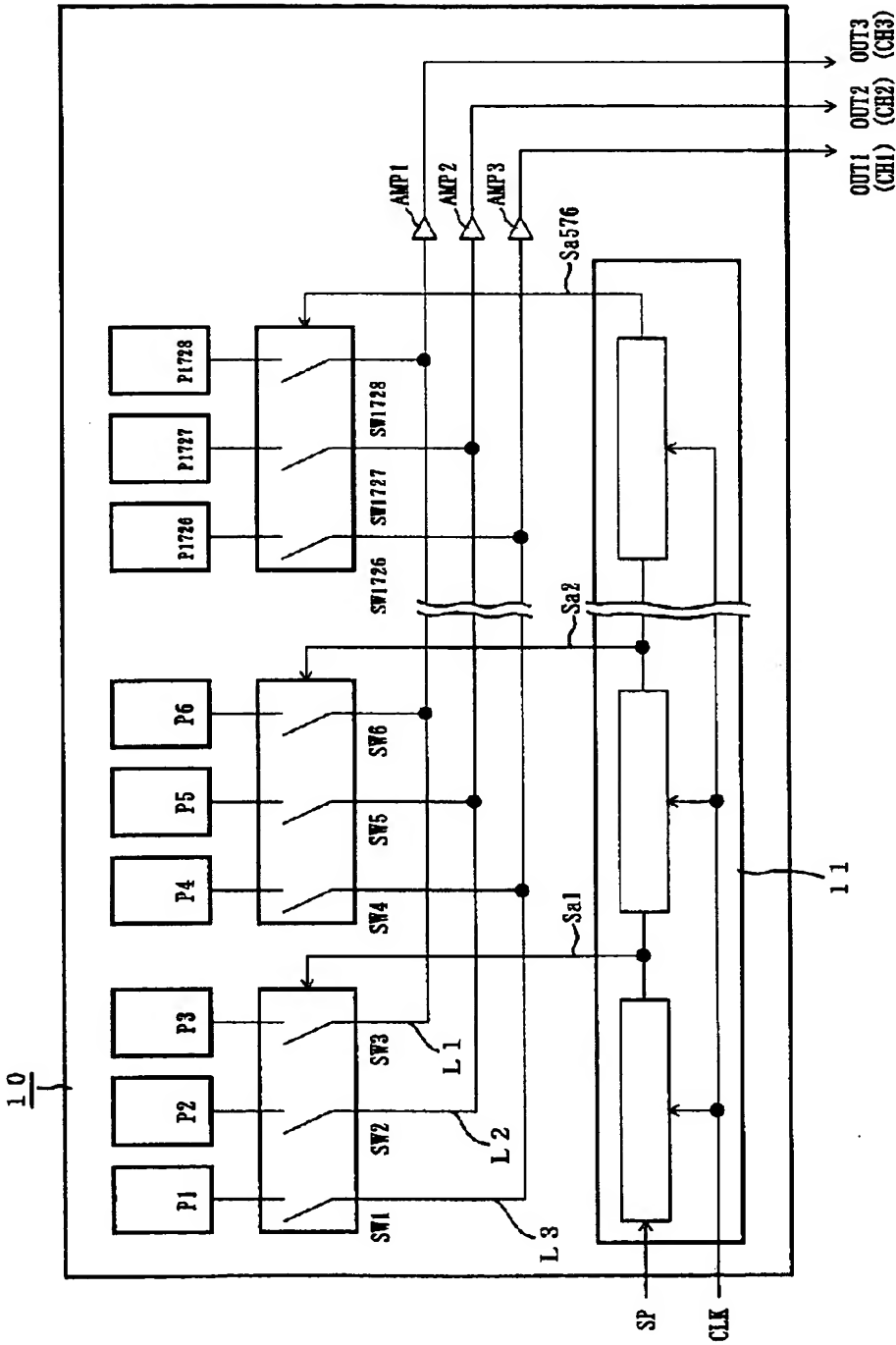
**【符号の説明】**

1 0	イメージセンサ
1 1	シフトレジスタ（制御部）
2 0, 2 0 a	マルチプレクサ
3 0	アナログ・デジタル変換器
4 0	アナログフロントエンド I C

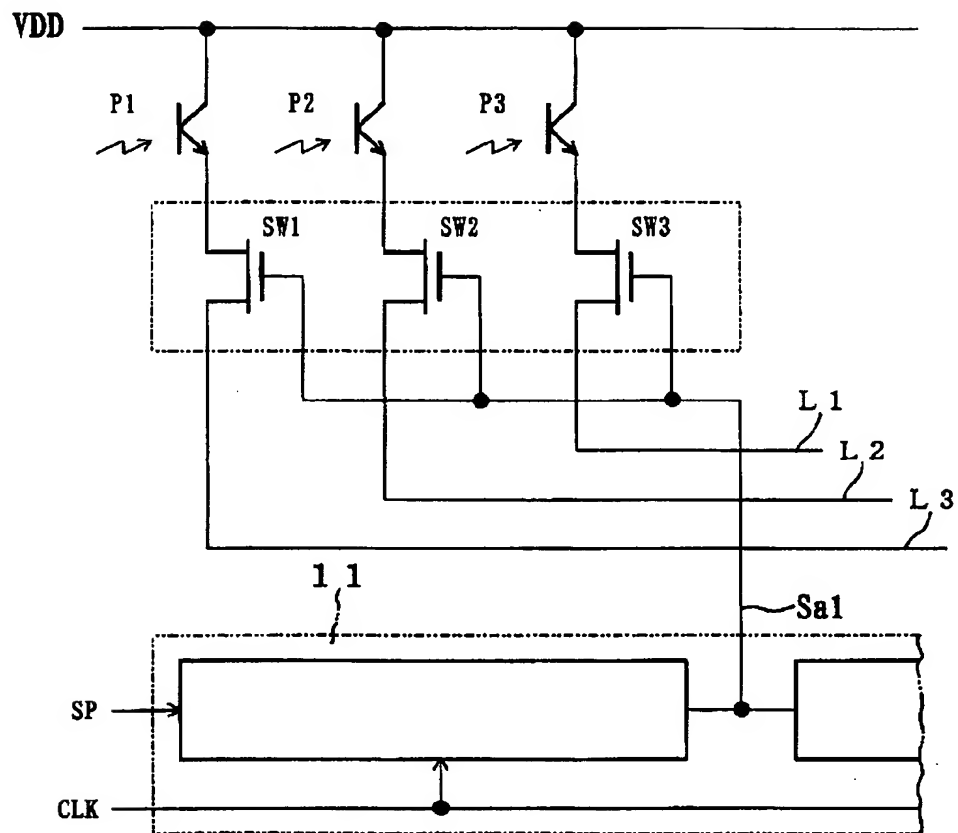
4 1 a ~ 4 1 c	相関二重サンプリング回路
4 2 a ~ 4 1 c	オフセット調整回路
4 3 a ~ 4 1 c	プログラマブルゲインアンプ
4 4	マルチプレクサ
4 5	アナログ・デジタル変換器
4 6	インターフェイス
4 7	レジスタ部
5 0 , 5 0 a	サンプルホールド回路
6 0	制御回路
6 1	C I S 制御ブロック
6 2	アナログフロントエンド制御ブロック
6 3	メモリ書込み制御ブロック
A / D ・ C L K	アナログ・デジタル変換用クロック信号
A M P	アナログアンプ
C H 1 ~ C H 3	3 チャンネル出力信号
C L K	クロック信号
L 1 ~ L 3	出力信号線
P 1 ~ P n	ホトランジスタ (光電変換素子)
S W 1 ~ S W n	アナログスイッチ (スイッチ素子)
S a 1 ~ S a n	制御信号
S E L 1	選択信号
S E L 2	選択信号
S / H ・ C L K	サンプルホールド用クロック信号

【書類名】 図面

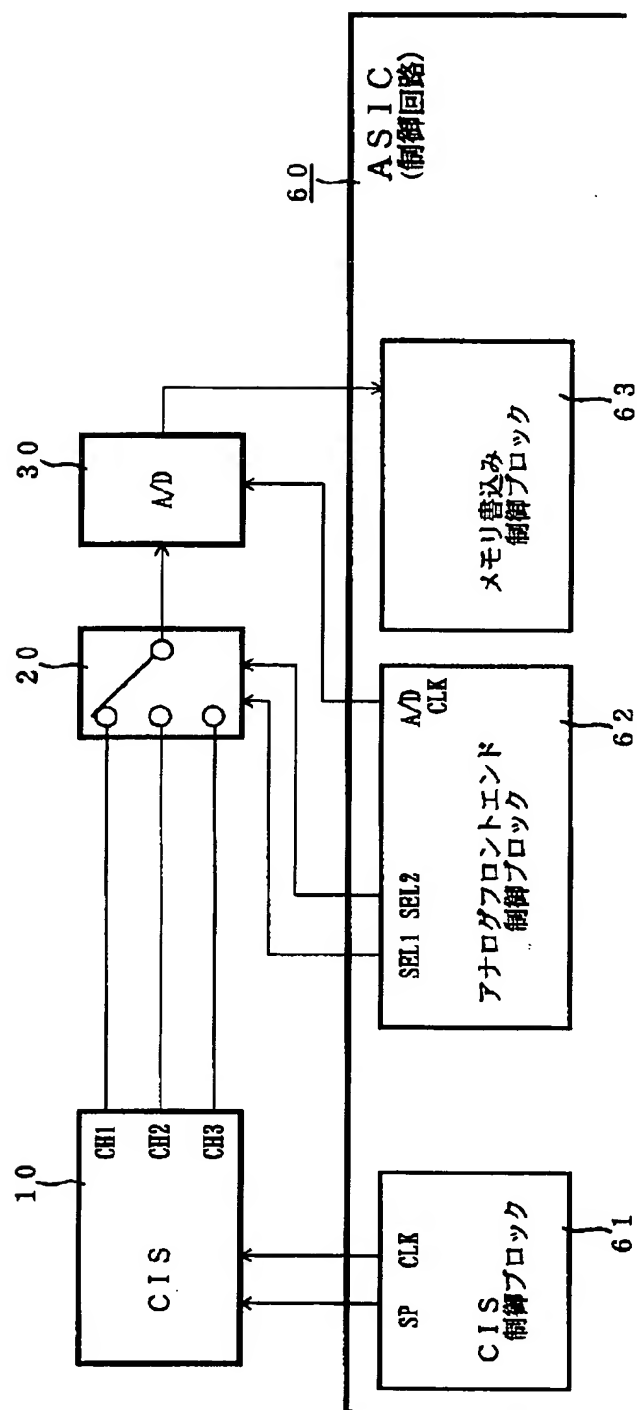
【図1】



【図 2】

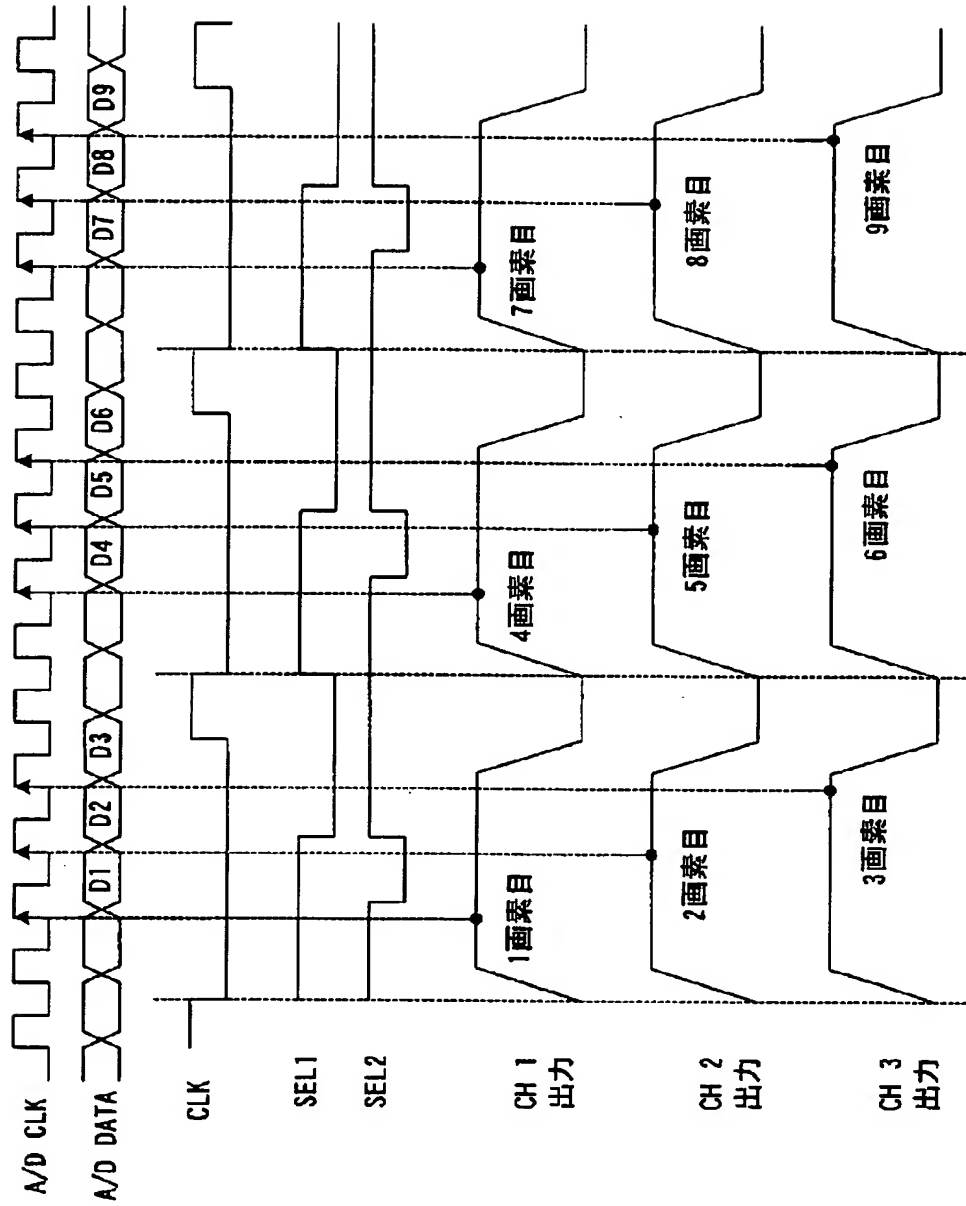


【図 3】

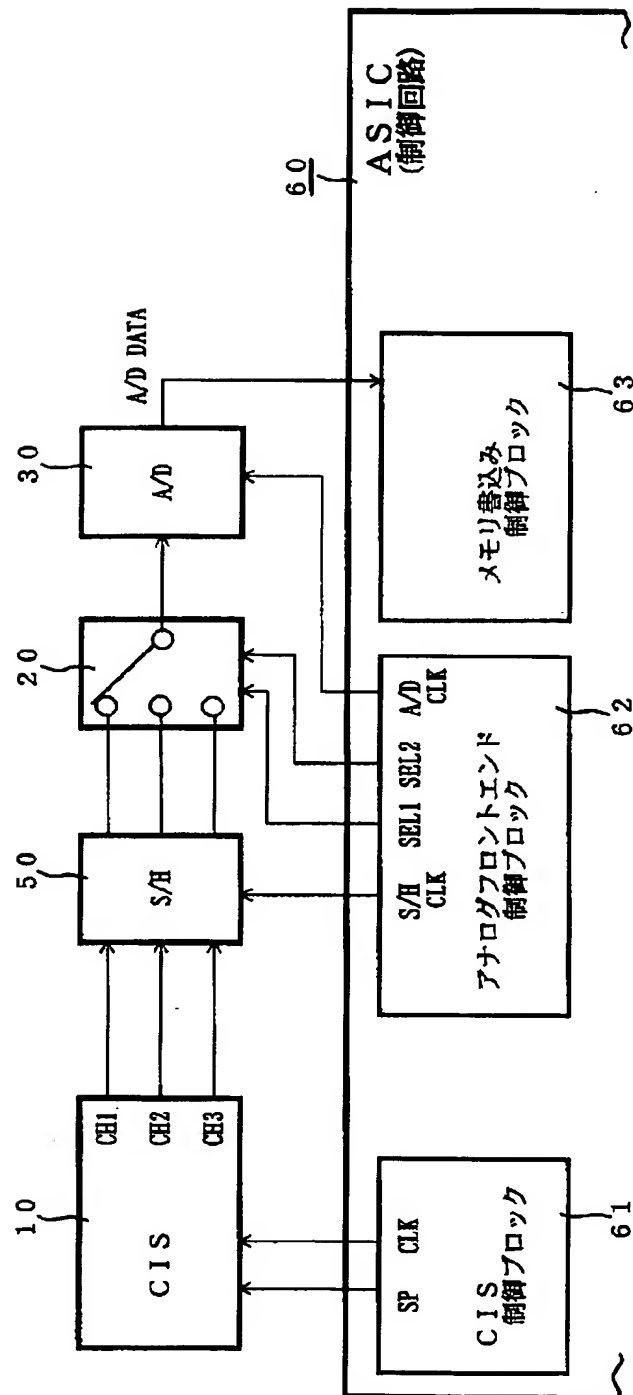




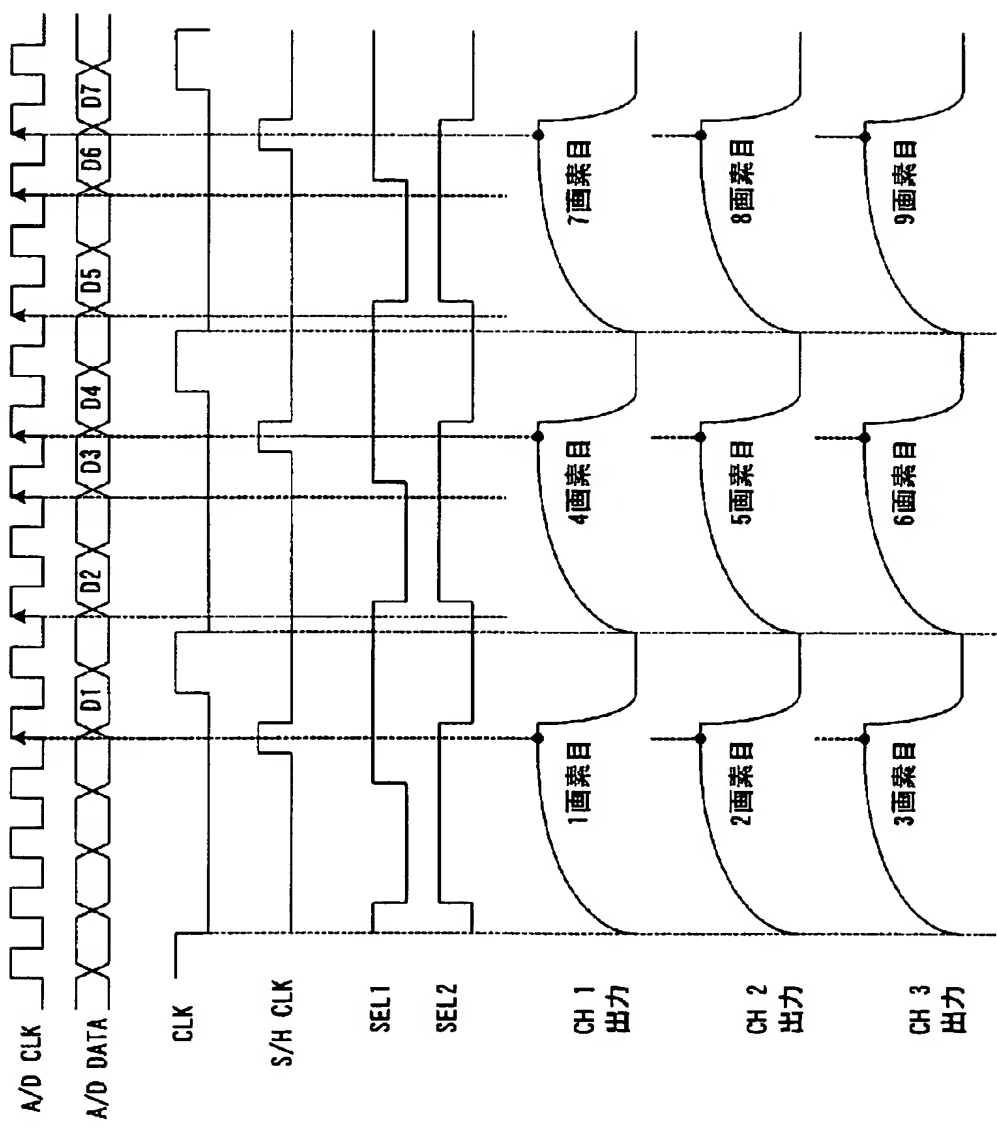
【図 4】



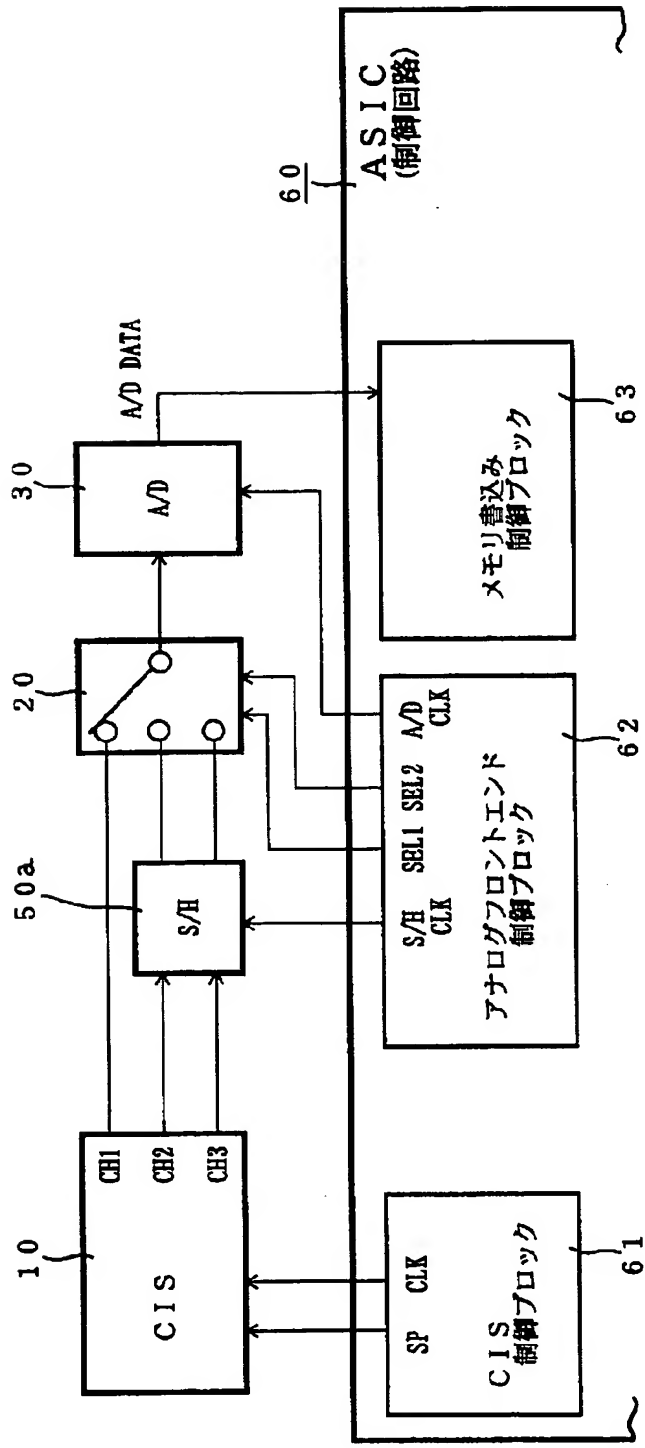
【図 5】



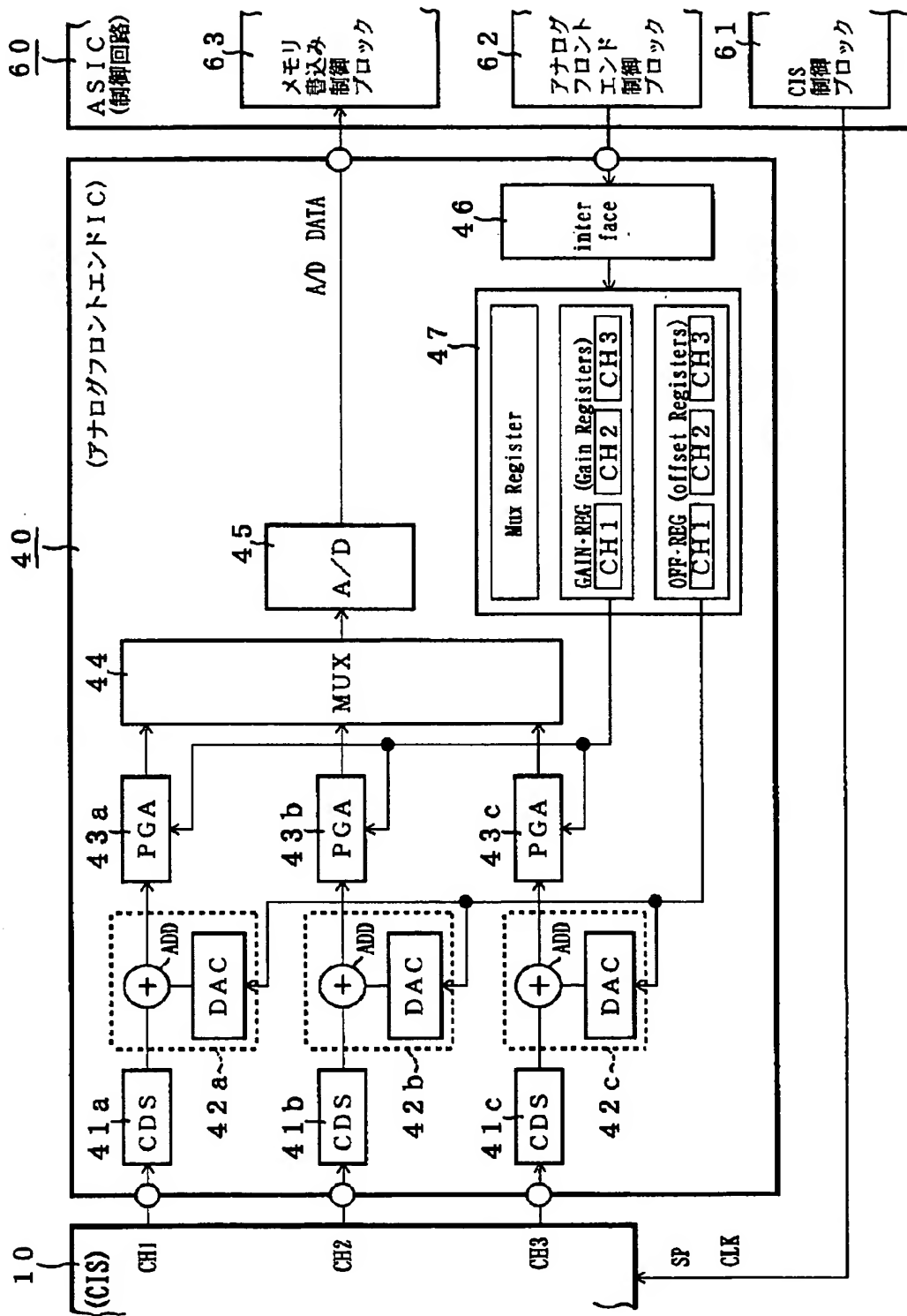
【図 6】



【図 7】

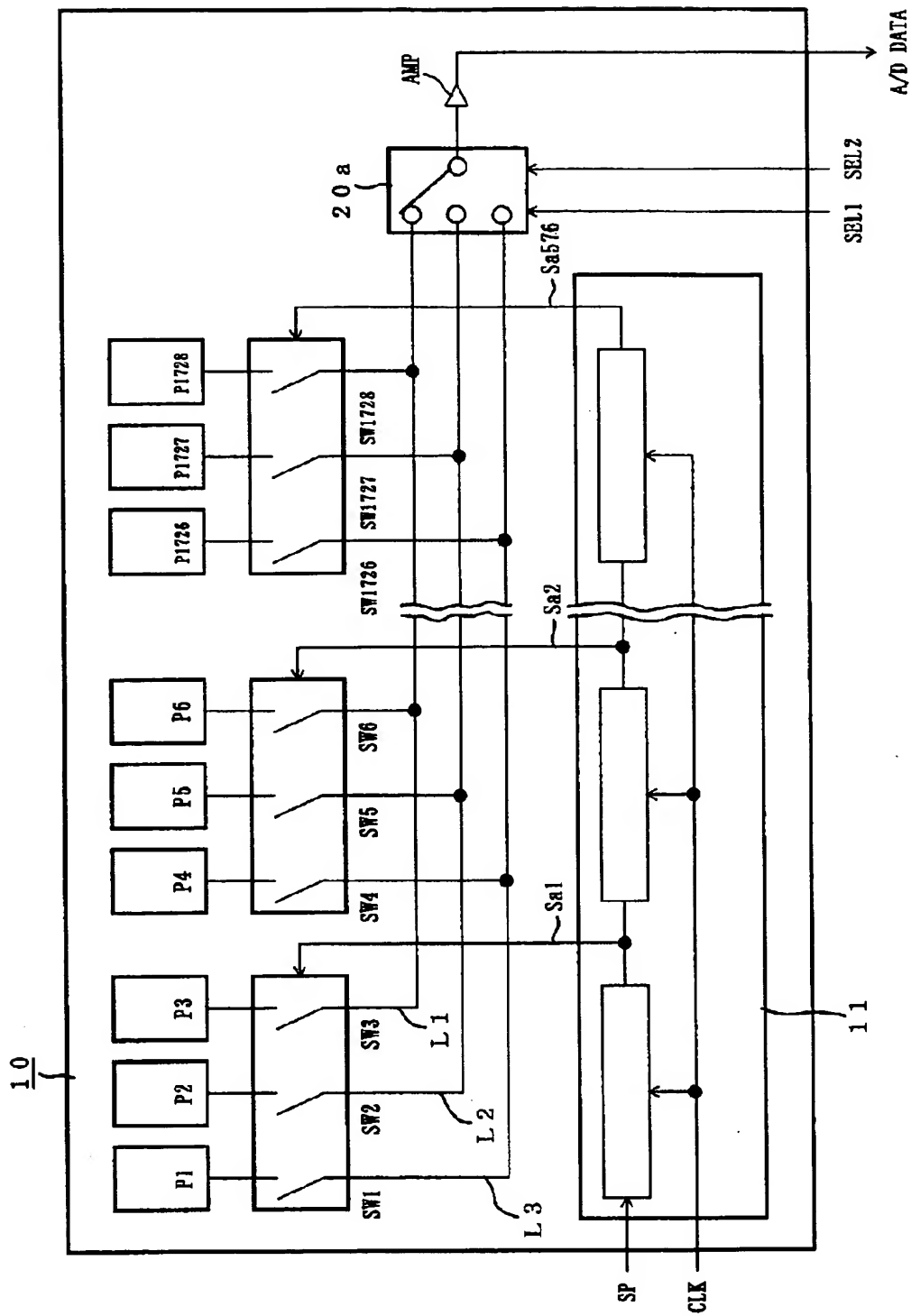


【図 8】

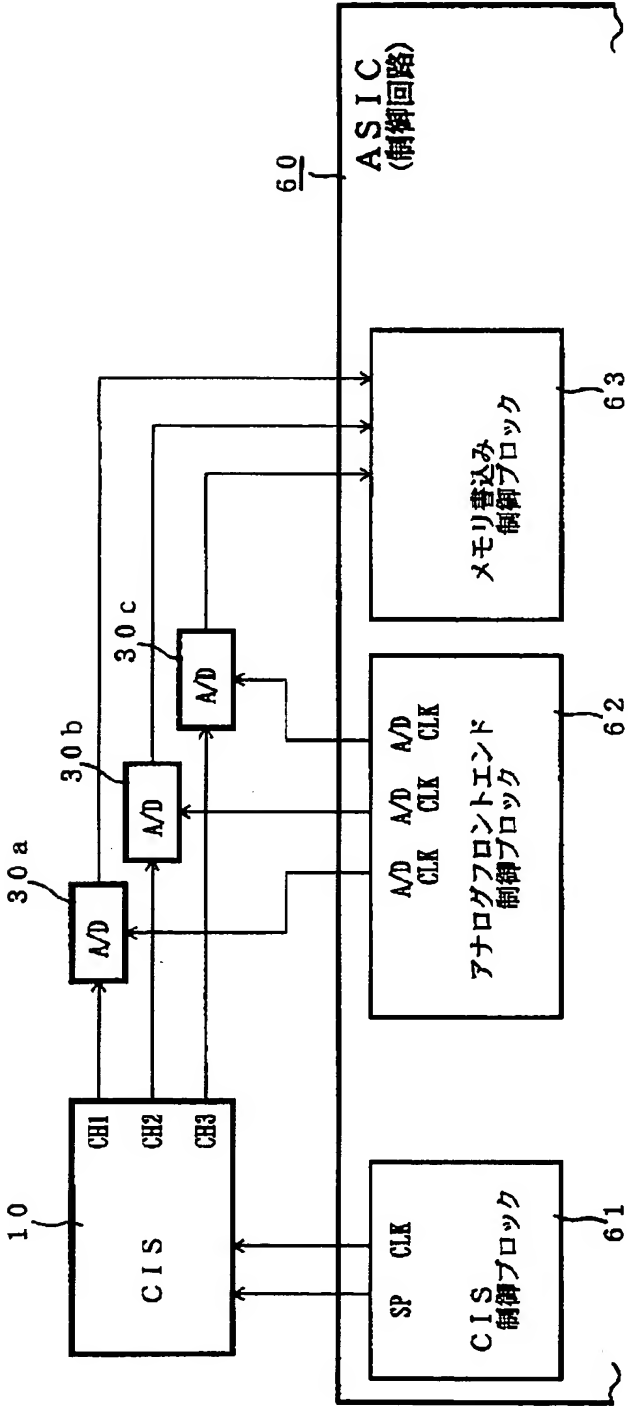




【図 10】

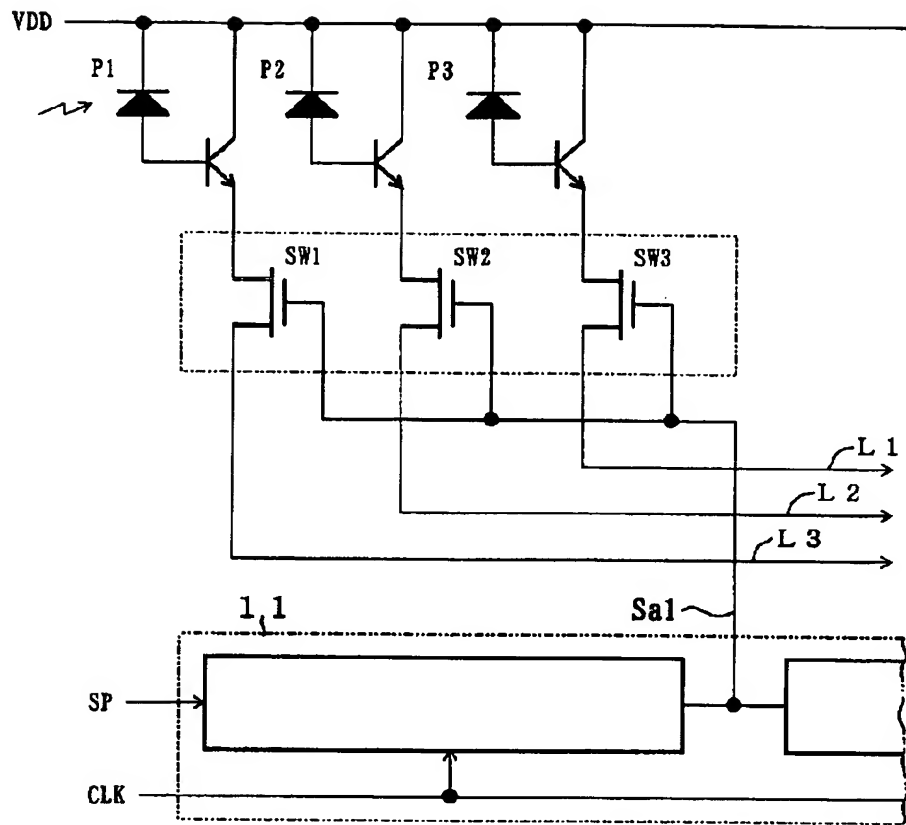


【図 11】

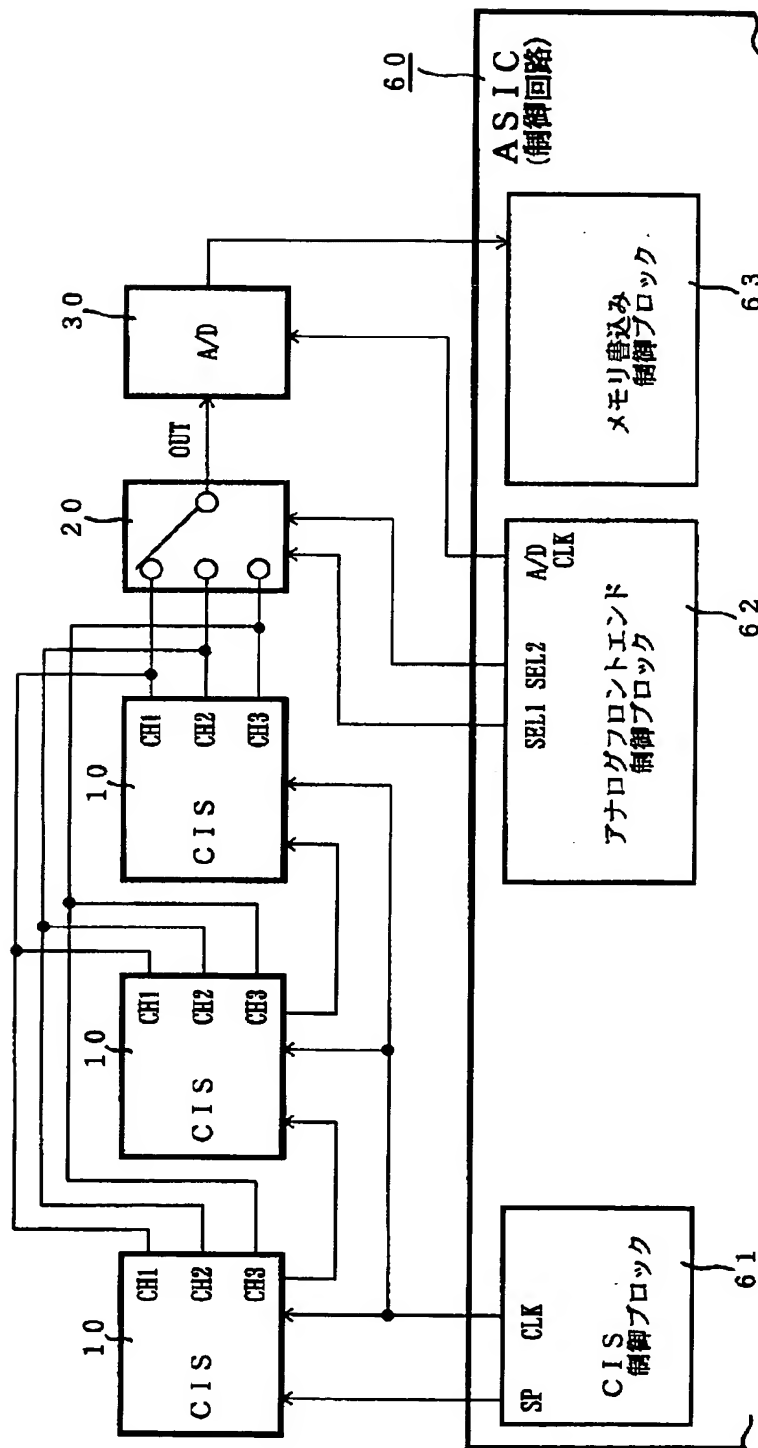




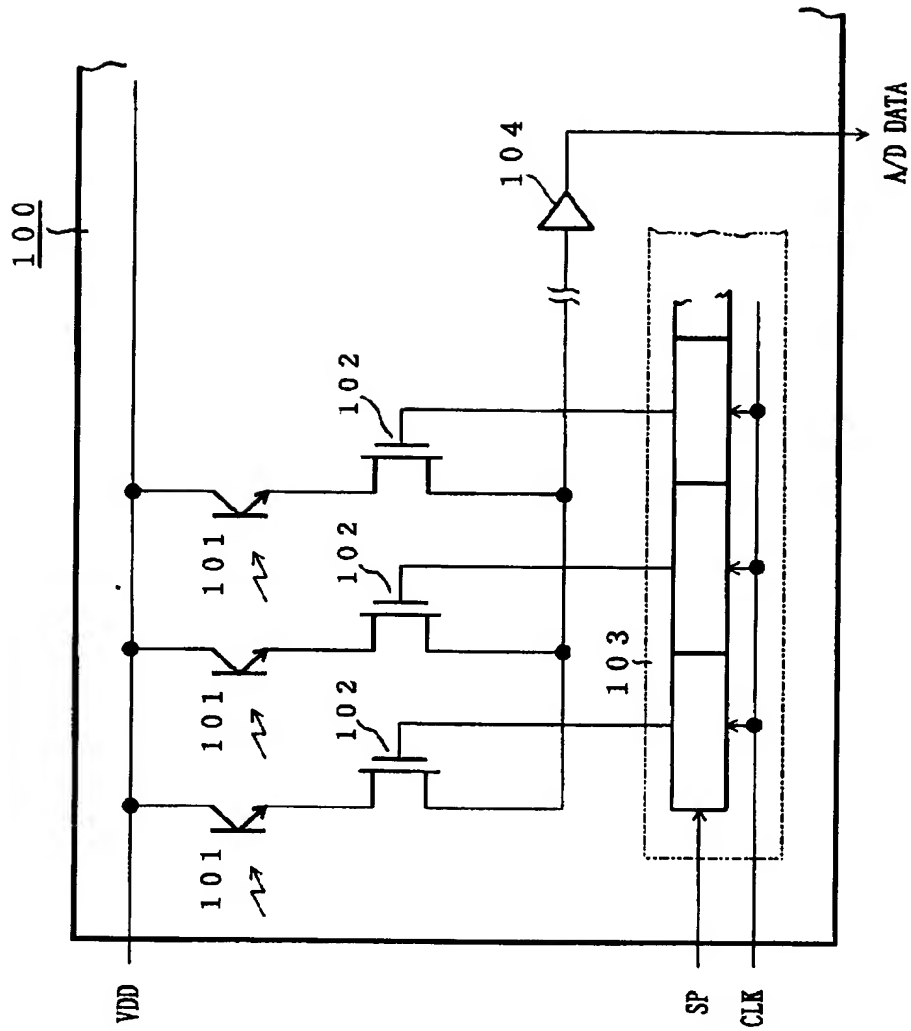
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 シフトレジスタのクロック信号を高速にしなくとも、高速読取りが可能なMOS型イメージセンサおよびそれを用いた画像読取装置を提供する。

【解決手段】 主走査方向に配列され、原稿からの反射光量に応じたアナログの読取画像信号を発生する複数のホトトランジスタ $P_1 \sim P_n$ と、その読取画像信号を読み出すために各ホトトランジスタに対応して設けられた複数のアナログスイッチ $SW_1 \sim SW_n$ とを有するMOS型イメージセンサ10において、複数のホトトランジスタ $P_1 \sim P_n$ を、互いに隣り合う任意個数、たとえば3個ずつを1組として複数の組にブロック分けし、その各組に属する複数個のホトトランジスタからの画像信号を各組毎に同時に読み出すように、複数のアナログスイッチ $SW_1 \sim SW_n$ を外部からのクロック信号に基づき時間的に制御するシフトレジスタ11を備える。

【選択図】 図1

特願 2 0 0 2 - 2 0 5 4 5 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 6 7 ]

1 . 変更年月日

1 9 9 0 年 1 1 月 5 日

[変更理由]

住所変更

住 所

愛知県名古屋市瑞穂区苗代町 1 5 番 1 号

氏 名

ブラザー工業株式会社